

JP-A-61-125174

A circular groove is formed on an SOI substrate, and an oxide film is formed on the inner wall of the groove. Then, the groove is filled with poly silicon, thereby forming a gate electrode. Source and drain are formed at both sides of the gate electrode. Accordingly, a MOS transistor is provided, in which a channel is induced along the side face of the circular groove.

SEMICONDUCTOR DEVICE

Patent Number: JP61125174
Publication date: 1986-06-12
Inventor(s): KATO KOICHI
Applicant(s):: AGENCY OF IND SCIENCE & TECHNOL
Requested Patent: ☐ JP61125174
Application Number: JP19840246313 19841122
Priority Number(s):
IPC Classification: H01L29/78 ; H01L27/12 ; H01L29/52 ; H01L29/60
EC Classification:
Equivalents: JP1778647C, JP5001625B

Abstract

PURPOSE: To reduce an intrusion to a gate oxide film of carrier pairs generated through impact ionization by forming a channel region to a curved surface shape along the gate oxide film.
CONSTITUTION: A circular opening section is formed to an Si layer 12 shaped onto an insulating substrate 11. The surface of the Si layer 12 is oxidized to form a gate oxide film 14 on the side wall of the opening section, and a poly Si film 15 for a gate electrode is buried and shaped into the opening section. Impurity ions are implanted to form source-drain regions 16a, 16b. An inter-layer insulating film 18 is shaped onto the whole surface, contact holes 19 for electrodes are bored to the film 18, and Al wiring layers 20 are formed. Consequently, electrons from the source 16a flow while drawing arcs along the gate oxide film 14, but electrons separate from the film 14 and flow in bulk Si because they are accelerated in the vicinity of the drain 16b. Accordingly, electrons are difficult to intrude to the gate oxide film.

Data supplied from the **esp@cenet** database - I2

③ 公開特許公報(A)

昭61-125174

⑪ Int. Cl.

H 01 L 29/78
27/12
29/52
29/60

識別記号

庁内整理番号

8422-5F
7514-5F

⑫ 公開 昭和61年(1986)6月12日

審査請求 有 発明の数 1 (全4頁)

⑬ 発明の名称 半導体装置

⑭ 特 願 昭59-246313

⑮ 出 願 昭59(1984)11月22日

⑯ 発 明 者 加 藤 弘 一 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑰ 出 願 人 工 業 技 術 院 長

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 絶縁体上の半導体層中にMOSTラングスタを形成してなる半導体装置において、前記半導体層に前記絶縁体に通ずる深さまで開孔された開孔部と、この開孔部の壁面に形成されたゲート酸化膜と、このゲート酸化膜に接する上記半導体層に相互に離隔して形成されたソース・ドレイン領域と、前記開孔部に上記ゲート酸化膜を介して埋込み形成されたゲート電極とを具備してなることを特徴とする半導体装置。

(2) 前記絶縁体は、単結晶絶縁基板であることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 前記絶縁体は、単結晶半導体基板上に絶縁膜を形成してなるものであることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、半導体装置に係わり、特に絶縁体上の半導体層中にMOSTラングスタを形成してなる半導体装置の改良に関する。

(発明の技術的背景とその問題点)

周知の如く、従来のように半導体層中に形成する素子を微細化してこれを高集積化するには限界があり、最近これを越える手段として多層に素子を形成する3次元半導体装置、また絶縁基板上の半導体層中に素子を形成する技術が提案されている。

ところで、上記の半導体装置を構成する素子としてはMOSTラングスタが用いられているが、このMOSTラングスタはソース・ドレイン領域を除き絶縁体に囲まれているので、特にソース・ドレインの電極を除き電気的に絶縁されていることになる。MOSTラングスタとして、例えばNチャネルMOSTラングスタを選び動作させると、ソースより流れ出した電子はドレイン電圧に加速されてドレイン方向に流れる。この時、加速され

た電子はなだれ現象により電子・正孔対を発生する。発生した電子・正孔対の内、電子はドレインへ流れるが、正孔はその逃げ場所がないのでチャネル下の領域に蓄積し、電位を上昇させる。このため、より多くの電子が流れてさらに多くの電子・正孔対が発生し、発生したキャリアがゲート酸化膜中に進入し、デバイス特性の劣化を招くことになる。そして、この問題はチャネル領域が短くなる程、つまり素子が微細化する程顕著となるものである。

(発明の目的)

本発明は上記の事情を考慮してなされたもので、その目的とするところは、インパクトイオン化により発生したキャリア対のゲート酸化膜への進入に起因する素子特性劣化を防止することができ、高速化及び高集積化に好適する半導体装置を提供することにある。

(発明の概要)

本発明の骨子は、チャネル領域をゲート酸化膜に沿った曲面状に形成することにより、インパ

クトイオン化により発生したキャリア対のゲート酸化膜への進入を軽減することにある。

即ち本発明は、絶縁体上の半導体層中にMOSトランジスタを形成してなる半導体装置において、前記半導体層に前記絶縁膜に通ずる深さまで開孔部を形成し、この開孔部の壁面にゲート酸化膜を形成し、このゲート酸化膜に接する前記半導体層にソース・ドレイン領域を形成し、さらに前記開孔部に上記ゲート酸化膜を介してゲート電極を埋込み形成するようにしたもののである。

(発明の効果)

本発明によれば、チャネル領域が曲面状に形成されることになるので、ソースより流れ出たキャリアは弧を描きながらドレイン方向に流れ、ドレイン近傍では加速されてゲート酸化膜から離れて流れるようになる。このため、インパクトイオン化により発生したキャリア対のゲート酸化膜への進入が少なくなり、ゲート酸化膜の劣化を未然に防止することができる。従って、素子特性の劣化を防止することができ、高速・高集積の素子とし

て実用上十分な特性を持たせることが可能となる。

(発明の実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図乃至第3図は本発明の一実施例に係わる半導体装置の製造工程を示す図である。まず、第1図(a)に平面図を、第1図(b)に同図(a)の矢視A-A断面を示す如く、絶縁基板(絶縁体)11上に形成され既に素子分離された厚さ0.2[μm]のシリコン層(半導体層)12に対して、中央部に直径0.1[μm]の円形の開孔部13を形成する。ここで、上記絶縁体11としては、サファイア等の単結晶絶縁基板若しくは単結晶半導体基板上に絶縁膜を形成してなるものであってもよい。また、シリコン層12は絶縁体11上に形成されたのち、ビームアニール等によって再結晶化されたものである。その後、シリコン層12の表面を酸化して開孔部13の側壁にゲート酸化膜14を形成する。なお、このときシリコン層12の上面にも酸化膜14が形成される。

次に、第2図(a)に平面図を、第2図(b)に同図(a)の矢視B-B断面を示す如く、開孔部13内にゲート電極用のポリシリコン膜15を埋込み形成する。次いで、ソース・ドレイン領域となるべきところの酸化膜14'をエッチングにより除去したのち、該領域に例えばAs等のN型不純物のイオン注入を行いソース・ドレイン領域16a、16bを形成する。このとき、チャネル領域17はソース・ドレイン間にゲート酸化膜14に沿って曲面状に形成されることになる。

次に、第3図(a)に平面図を、第3図(b)に同図(a)の矢視C-C断面を示す如く、気相成長法で全面に SiO_2 膜(層間絶縁膜)18を形成し、この SiO_2 膜18にゲート電極及びソース・ドレイン電極用のコンタクトホール19をそれぞれ開孔する。その後、A α 配線層20を形成することによって、NチャネルMOSトランジスタが完成することになる。

かくして作成されたMOSトランジスタにおいては、シリコン中でのキャリアの平均自由行程が

取100[Å]と短いので、このMOSTランジスタを動作させると、第4図に示す如くソース16aから流れ出した電子はゲート酸化膜14に沿って弧を描きながら流れる。ところが、ドレイン16b近傍では電子が加速されるため、電子はゲート酸化膜14を離れてバルクシリコン中を流れるようになる。この状態で発生するホットキャリアは、ゲート酸化膜14に到達する前に減速されるため、ゲート酸化膜14に侵入することが難しくなり、これによりゲート酸化膜14の劣化が妨げられることになる。

このように本実施例によれば、チャンネル領域17をゲート酸化膜14に沿って曲面状に形成しているため、インパクトイオン化により発生するキャリアのゲート酸化膜14への侵入を軽減することができる。このため、素子特性の劣化を未然に防止することができ、高速・高集積化に極めて有効である。

なお本発明は上述した実施例に限定されるものではない。例えば、前記半導体層中に形成する開

孔部は円形に限るものではなく、楕円形であってもよいし、多角形を適用することも可能である。さらに、開孔部の径及び深さ(半導体層の厚み)等の条件は、仕様に応じて適宜変更可能である。また、前記絶縁体としてはサファイア等の単結晶絶縁基板、或いは単結晶半導体基板上に絶縁膜を形成したものを用いればよい。さらに、絶縁体上に形成する半導体層はシリコンに限るものではなく、他の半導体であってもよいのは勿論のことである。また、デバイスが絶縁体上に形成したが、NチャネルトランジスタであればP型基板上に、PチャネルトランジスタであればN型基板上に形成することも可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

4. 図面の簡単な説明

第1図(a)(b)乃至第3図(a)(b)は本発明の一実施例に係わるMOS型半導体装置の製造工程を示すもので、第1図(a)は平面図、第1図(b)は図(a)の矢視A-A断面図、

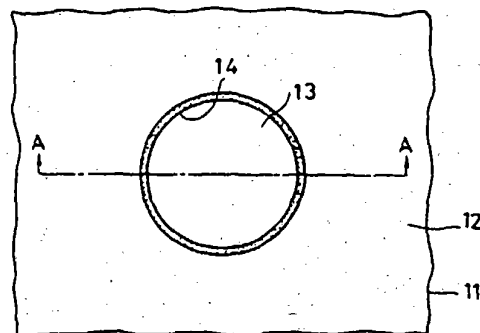
第2図(a)は平面図、第2図(b)は図(a)の矢視B-B断面図、第3図(a)は平面図、第3図(b)は図(a)の矢視C-C断面図、第4図は上記実施例装置の作用を説明するためのものでソースからドレイン方向に流れる電子の動きを示す模式図である。

11…絶縁基板(絶縁体)、12…シリコン膜(半導体層)、13…開孔部、14…ゲート酸化膜、15…ポリシリコン膜(ゲート電極)、16a、16b…ソース・ドレイン領域、17…チャンネル領域、18… SiO_2 膜(層間絶縁膜)、19…コンタクトホール、20… Al 配線層。

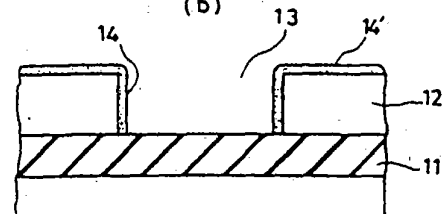
出願人 工業技術院長 等々力 達

第1図

(a)

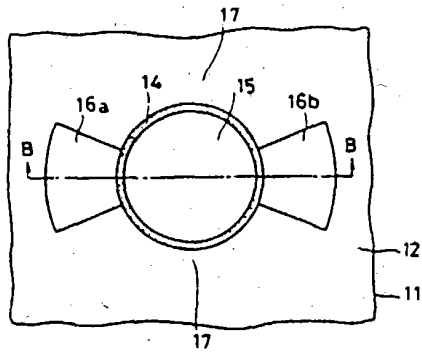


(b)

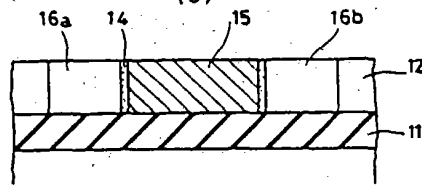


第 2 図

(a)

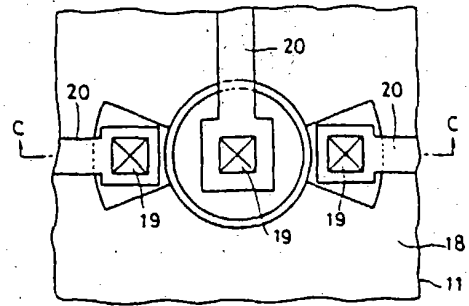


(b)

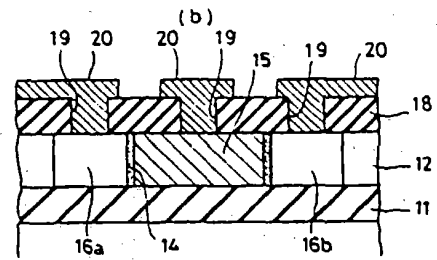


第 3 図

(a)



(b)



第 4 図

